



PTO/SB/02B (11-00)
Approved for use through 10/31/2002. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

DECLARATION — Supplemental Priority Data Sheet

Additional foreign applications:

Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)	Priority Not Claimed	Certified Copy Attached?	
				YES	NO
092113209	Taiwan R.O.C	05/15/2003	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
			<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

Burden Hour Statement: This form is estimated to take 21 minutes to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Washington, DC 20231.



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 05 月 15 日
Application Date

申請案號：092113209
Application No.

申請人：聯笙電子股份有限公司
Applicant(s)

局 長

Director General

蔡 練 生

發文日期：西元 2003 年 7 月 29 日
Issue Date

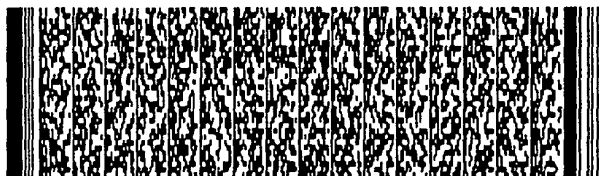
發文字號：09220766610
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	穩壓式充電電路
	英 文	REGULATED CHARGE PUMP
二、 發明人 (共2人)	姓 名 (中文)	1. 陳印章
	姓 名 (英文)	1. Chen, Yin-Chang
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 新竹縣竹北市縣政七街二十三號三樓
	住居所 (英 文)	1. 3F, No. 23, Shianjeng 7th St., Jubei City, Hsin-Chu Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 聯笙電子股份有限公司
	名稱或 姓 名 (英文)	1. AMIC Technology (Taiwan) Inc.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區新竹市力行六路五號六樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. 6F, No. 5, Li-Hsing 6 Rd., Science-Based Industrial Park, Hsin-Chu City, Taiwan, R.O.C.
	代表人 (中文)	1. 陳 焜 錄
	代表人 (英文)	1. Chen, Kun-Luh

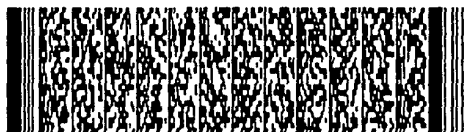


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共2人)	姓 名 (中文)	2. 顏定國
	姓 名 (英文)	2. Yen, Ting-Kuo
	國 籍 (中英文)	2. 中華民國 TW
	住居所 (中 文)	2. 苗栗縣苑裡鎮山腳里二十一鄰三十之八號
	住居所 (英 文)	2. No. 30-8, Community 21, Shan-Chiao Li, Yuan-Li Town, Miao-Li Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	
	名稱或 姓 名 (英文)	
	國 籍 (中英文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中文)	
	代表人 (英文)	



四、中文發明摘要 (發明名稱：穩壓式充電電路)

本發明係提供一種穩壓式充電電路，其包含一用來依據一振盪訊號以產生一第一輸出電壓之負充電電路、以及一穩壓電路。該穩壓電路包含一位準平移電路、一用來產生一比較訊號之差動放大器、及一用來依據該比較訊號產生該振盪訊號之壓控振盪器。該位準平移電路包含複數個串接之 P 型金屬氧化半導體電晶體 (PMOS)，該複數個 PMOS 電晶體中之第一 PMOS 電晶體之第一源極係連接於一第一參考電壓，該第一 PMOS 電晶體之第一閘極及第一汲極皆係連接於該位準平移電路之輸出端，該複數個 PMOS 電晶體中之第二 PMOS 電晶體之第二閘極及第二汲極係連接於該負充電電路之輸出端。

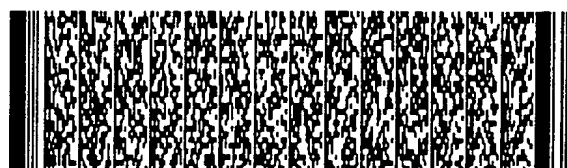
五、(一)、本案代表圖為：第三圖

80 穩壓式充電電路

82 負充電電路

六、英文發明摘要 (發明名稱：REGULATED CHARGE PUMP)

A regulated charge pump has a negative charge pump for generating a first output voltage according to an oscillation signal, and a regulator. The regulator has a level shift circuit, a differential amplifier for generating a compare signal, and an oscillator for generating the oscillation signal according to the compare signal. The level shift circuit has a



四、中文發明摘要 (發明名稱：穩壓式充電電路)

84 振盪電路

88 位準平移電路

92 第一 PMOS電晶體

112 電壓開關

86 差動放大器

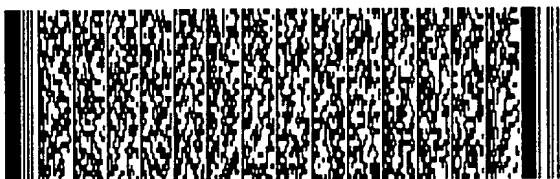
90 保護電壓產生器

104 第二 PMOS電晶體

114 偵測電路

六、英文發明摘要 (發明名稱：REGULATED CHARGE PUMP)

plurality serially connected PMOS. A first PMOS in the PMOSs has a first source connected to a first reference voltage, a gate and a drain, both connected to an output end of the level shift circuit. A second PMOS in the PMOSs has a gate and a drain, both connected to an output end of the negative charge pump.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得,不須寄存。



五、發明說明 (1)

發明所屬之技術領域

本發明係提供一種穩壓式充電電路，尤指一種包含一以複數個 P 型金屬氧化半導體電晶體所組成之位準平移電路之穩壓式充電電路。

先前技術

由於設置於一積體電路中之電壓源會佔據該積體電路相當大的面積，而一充電電路 (charge pump) 可將一第一電壓轉換成一 (或複數個) 具有一預定電壓位準之第二電壓，因此一需設置複數個電壓源之積體電路就可內建一充電電路，以節省該積體電路之面積。

請參閱圖一，圖一為習知一充電電路 10 之電路圖。充電電路 10 包含複數個串接之充電單元 12、14、16、18 及一隔離二極體 (isolation diode) 20，每一充電單元 12、14、16、18 皆分別包含一二極體 22、24、26、28 及一電容 30、32、34、36。充電電路 10 之輸入端 40 係連接於一第一電壓 V_1 ，一第一時脈 CLK 係分別連接於充電單元 12、16 中之電容 30、34，一互補 (complementary) 於第一時脈 CLK 之第二時脈 CLK 係分別連接於充電單元 14、18 中之電容 32、36。第一時脈 CLK 及第二時脈 CLK 之高位準皆等於第一電壓 V_1 。



五、發明說明 (2)

透過第一時脈 CLK 及第二時脈 CLK 交替地導通 (turn on) 或不導通 (turn off) 充電單元 12、14、16、18 中之二極體 22、24、26、28，充電電路 10 的輸出端 42 之第二電壓 V_2 會漸漸提昇。請參考式一，式一為第一電壓 V 與第二電壓 V_2 間之關係式，

$$V_2 = V_1 + (V_1 - V_t) * N \text{ (式一)},$$

其中， V 為充電單元 12、14、16、18 內的二極體 22、24、26、28 之截止電壓 (cutoff voltage)，而 N 為充電電路 10 中所包含的充電單元之個數。

由式一可看出，充電電路 10 可依據第一電壓 V 並透過調整 N 以在輸出端 42 產生具有一預定電壓位準之第二電壓 V_2 。如此一來，一包含充電電路 10 之積體電路就能擁有兩個具有不同電壓位準之第一電壓 V 及第二電壓 V_2 。

充電電路 10 不僅需要能將第一電壓 V 提昇至第二電壓 V_2 ，充電電路 10 所產生之第二電壓 V 仍需維持在接近該預定電壓位準之一預定電壓範圍內。請參閱圖二，圖二為習知一穩壓式充電電路 50 之電路圖，穩壓式充電電路 50 不僅可產生第二電壓 V_2 ，還可將第二電壓 V 維持在該預定電壓範圍內。穩壓式充電電路 50 包含一充電電路 52、一



五、發明說明 (3)

連接於充電電路 52 之振盪電路 54、一連接於振盪電路 54 之差動放大器 56、及一連接於充電電路 52 與差動放大器 56 間之位準平移電路 58。位準平移電路 58 包含一第一電阻 60 及一第二電阻 62，第一電阻 60 係連接於位準平移電路 58 之輸出端 64 及第一輸入端 66 之間，而第二電阻 62 係連接於位準平移電路 58 之輸出端 64 及第二輸入端 68 之間，位準平移電路 58 之輸出端 64、第一輸入端 66、及第二輸入端 68 係分別連接於差動放大器 56 之負輸入端 70、一第一參考電壓 V_{ref1} 、及充電電路 52 之輸出端 74。差動放大器 56 之正輸入端 72 係連接於一第二參考電壓 V_{ref2} 。

差動放大器 56 係於負輸出端 70 上之電壓低於正輸出端 72 上之電壓時，於差動放大器 56 之輸出端 76 輸出一比較訊號；振盪電路 54 係於接收到該比較訊號時，於振盪電路 54 之輸出端 78 輸出一振盪訊號；而充電電路 52 只於接收到該振盪訊號時，持續地提昇充電電路 52 之輸出端 74 上之電壓。

穩壓式充電電路 50 於運作之初，充電電路 52 之輸出端 74 上之電壓會逐步地提昇，連帶地，位準平移電路 58 之輸出端 64 上之電壓也會逐步地上升，由於此時差動放大器 56 之負輸入端 70 (連接於位準平移電路 58 之輸出端 64) 上之電壓仍低於第二參考電壓 V_{ref2} ，所以差動放大器 56 仍會持續地於輸出端 76 輸出該比較訊號、振盪電路 54



五、發明說明 (4)

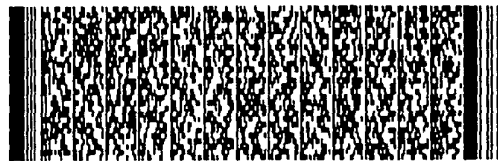
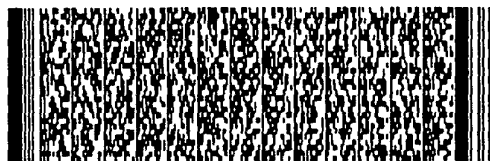
相應地於輸出端 78 輸出該振盪訊號、而充電電路 52 也持續地提昇輸出端 74 上之電壓。當充電電路 52 之輸出端 74 上之電壓被提昇至一可使位準平移電路 58 之輸出端 64 上之電壓高於第二參考電壓 V_{ref2} 之第二電壓 V 時，差動放大器 56 之負輸入端 70 上之電壓就會高於正輸入端 72 上之第二參考電壓 V_{ref2} ，所以差動放大器 56 就會於此時停止輸出該比較訊號、振盪電路 54 相應地停止輸出該振盪訊號、而充電電路 52 也停止提昇輸出端 74 上之電壓。

習知穩壓式充電電路 50 中之位準平移電路 58 係由複一個電阻 60、62 所組成，而電阻會增加穩壓式充電電路 50 所在之積體電路之體積。

發明內容

因此本發明之主要目的在於提供一種穩壓式充電電路，其內之位準平移電路係由複數個 MOS 所組成，以解決習知穩壓式充電電路體積過大之缺點。

根據本發明之申請專利範圍，本發明係揭露一種穩壓式充電電路，其包含一負充電電路、及一穩壓電路。負充電電路係依據一振盪訊號產生一第一輸出電壓，而穩壓電路係用來使該負充電電路所產生之第一輸出電壓

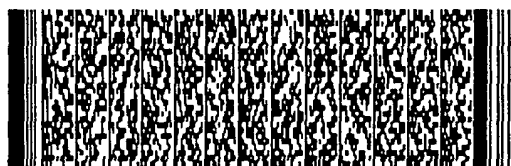


五、發明說明 (5)

維持在一預定範圍內。該穩壓電路包含一位準平移電路、一差動放大器及一壓控振盪器，該位準平移電路係連接於該負充電電路，用來依據該負充電電路所產生之第一輸出電壓於該位準平移電路之輸出端產生一第二輸出電壓，該差動放大器之第一輸入端係連接於一第二參考電壓源，其第二輸入端係連接於該位準平移電路之輸出端，用來依據該第二參考電壓源所產生之電壓與該位準平移電路之輸出端所輸出之第二輸出電壓間之電位差產生一比較訊號，而該壓控振盪器係連接於該差動放大器之輸出端與該負充電電路之輸入端間，用來依據該比較訊號產生該振盪訊號。該位準平移電路包含複數個串接之 P 型金屬氧化半導體 (PMOS) 電晶體，該複數個 PMOS 電晶體中之第一 PMOS 電晶體之第一源極係連接於一第一參考電壓源，該第一 PMOS 電晶體之閘極及汲極皆係連接於該位準平移電路之輸出端，該複數個 PMOS 電晶體中之第二 PMOS 電晶體之閘極及汲極係連接於該負充電電路之輸出端。

上述之穩壓式充電電路係用來提供一負電壓，而其中之負充電電路及位準平移電路中之複數個 PMOS 可分別更換成一充電電路及複數個 NMOS，以產生一具有一正電壓位準之第一輸出電壓。

由於本發明穩壓式充電電路中之位準平移電路係包



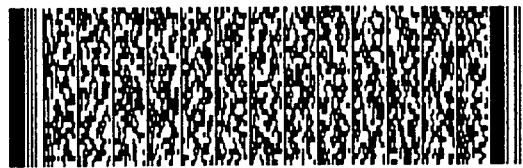
五、發明說明 (6)

含複數個 PMOS 電晶體，而非複數個電阻，因此本發明穩壓式充電電路具有較小的體積。

實施方式

請參閱圖三，圖三為本發明一穩壓式充電電路 80 之較佳實施例之電路圖。穩壓式充電電路 80 包含一負充電電路 82、一連接於負充電電路 82 之振盪電路 84、一連接於振盪電路 84 之差動放大器 86、一連接於負充電電路 82 與差動放大器 86 間之位準平移電路 88、及一保護電壓產生器 90。位準平移電路 88 包含複數個串接之 P 型金屬氧化半導體 (PMOS) 電晶體。保護電壓產生器 90 之輸入端 116 係連接於負充電電路 82 之輸出端 110。保護電壓產生器 90 之第一輸出端 118 及第二輸出端 120 係分別連接於位準平移電路 88 中第一 PMOS 電晶體 92 之第一井極 122 及其餘 PMOS 電晶體之井極。

位準平移電路 88 中之複數個 PMOS 中之第一 PMOS 電晶體 92 之第一源極 94 係連接於第一參考電壓 V_{ref1} ，第一 PMOS 電晶體 92 之第一閘極 96 及第一汲極 98 皆係連接於差動放大器 86 之正輸入端 100，該複數個 PMOS 電晶體中之第二 PMOS 電晶體 104 之第二閘極 106 及第二汲極 108 皆係連接於負充電電路 82 之輸出端 110。差動放大器 86 之負輸入端 102 係連接於第二參考電壓 V_{ref2} 。在本實施例中，第一參



五、發明說明 (7)

考電壓 V_{ref1} 為 2V，第二參考電壓 V_{ref2} 為接地電壓 (ground)。

保護電壓產生器 90 包含一電壓開關 112 及一偵測電路 114。偵測電路 114 係依據負充電電路 82 之輸出端 110 上之電壓是否低於一第一臨界電壓 V_{th1} ，而控制電壓開關 112 分別將第一輸出端 118 連接於非一第一保護電壓 V_{p1} 即一第一正常電壓 V_{r1} ，以及將第二輸出端 120 連接於非一第二保護電壓 V_{p2} 即第一正常電壓 V_{r1} 。亦即，當負充電電路 82 之輸出端 110 上之電壓仍高於第一臨界電壓 V_{th} 時，偵測電路 114 控制電壓開關 112 將第一輸出端 118 及第二輸出端 120 皆連接於第一正常電壓 V_{r1} ；反之，當負充電電路 82 之輸出端 110 上之電壓係低於第一臨界電壓 V_{th} 時，偵測電路 114 控制電壓開關 112 將第一輸出端 118 及第二輸出端 120 分別連接於第一保護電壓 V_{p1} 及第二保護電壓 V_{p2} 。在本實施例中，第一正常電壓 V_{r1} 係高於第一保護電壓 V_{p1} ，而第一保護電壓 V_{p1} 係高於第二保護電壓 V_{p2} ，其理由稍後述明。在本實施例中，第一正常電壓 V_{r1} 為 5V、第一保護電壓 V_{p1} 為 2.9V、而第二保護電壓 V_{p2} 為 1.8V。

請參閱圖四，圖四為本發明穩壓式充電電路 80 中位準平移電路 88 之第一 PMOS 電晶體 92 的剖面圖。為了能確保第一 PMOS 電晶體 92 能正常地運作，第一 PMOS 電晶體 92 之第一汲極 98 與第一井極 122 (例如，第一井極 122 被施以



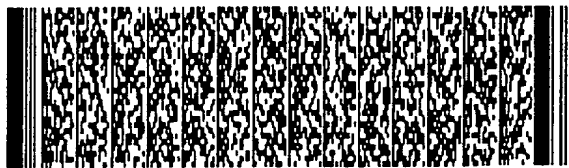
五、發明說明 (8)

5V之第一正常電壓 V_{r1}) 之間係被反相偏壓 (reversed biased)。然而，當第一汲極 98 上之電壓越來越低時，第一汲極 98 與第一井極 122 間之反相偏壓也會相應地越來越大。對一 PMOS 電晶體而言，當該 PMOS 電晶體之汲極與井極間之反相偏壓大於一預定值時，通常為 12.5V 至 13V，該 PMOS 電晶體之汲極與井極間之接面 (junction) 99 會崩壞 (breakdown)。為了避免接面崩壞的發生，本發明穩壓式充電電路 80 中之保護電壓產生器 90 會於負充電電路 82 之輸出端 110 上之電壓達到第一臨界電壓 V_{th} 時 (此時位準平移電路 88 中每一 PMOS 電晶體之汲極與井極間越來越接近接面崩壞)，將位準平移電路 88 中每一 PMOS 電晶體之井極上之偏壓降低。由於第一 PMOS 電晶體 92 較位準平移電路 88 中其餘 PMOS 電晶體更遠離於負充電電路 82 之輸出端 110，對應地，第一 PMOS 電晶體 92 之第一汲極 98 上之電壓也會較其餘 PMOS 電晶體之汲極上之電壓高，亦即，第一 PMOS 電晶體 92 之第一汲極 98 與第一井極 122 間之反相偏壓會較其餘 PMOS 電晶體之汲極與井極間之反相偏壓為小，所以，施予連接於第一 PMOS 電晶體 92 之第一井極 122 之第一保護電壓 V_{p1} 就可略高於施予連接於其餘 PMOS 電晶體之井極之第二保護電壓 V_{p2} (當電壓開關 112 係被受控將第一輸出端 118 及第二輸出端 120 分別連接於第一保護電壓 V_{p1} 及第二保護電壓 V_{p2} 時)。當然，第一保護電壓 V_{p1} 也可等於第二保護電壓 V_{p2} ，也就是位準平移電路 88 中之每一 PMOS 電晶體之井極皆連接於同一保護電壓；又或是，位準平

五、發明說明 (9)

移電路 88 之中每一 PMOS 電晶體之井極所連接之保護電壓所提供之電壓位準可各不相同。

穩壓式充電電路 80 之運作過程說明如下：穩壓式充電電路 80 於運作之初，負充電電路 82 之輸出端 110 上之電壓等於零，而保護電壓產生器 90 中偵測電路 114 控制電壓開關 112 將第一輸出端 118 及第二輸出端 120 皆係連接於第一正常電壓 V_{r1} ，亦即位準平移電路 88 中每一 PMOS 電晶體之井極皆係連接於第一正常電壓 V_{r1} (5V)；隨後，負充電電路 82 之輸出端 110 上之電壓會逐步地下降（負充電電路 82 係向下充電），連帶地，位準平移電路 88 之第一 PMOS 電晶體 92 之第一汲極 98 上之電壓也會逐步地下降，由於此時差動放大器 86 之正輸入端 100（連接於位準平移電路 88 之第一 PMOS 電晶體 92 之第一汲極 98）上之電壓仍高於第二參考電壓 V_{ref2} ，所以，差動放大器 86 仍會持續地輸出該比較訊號、振盪電路 84 相應地輸出該振盪訊號、而負充電電路 82 也持續地降低輸出端 110 上之電壓。當負充電電路 82 之輸出端 110 上之電壓被降低至一低於第一臨界電壓 V_{th1} 時，保護電壓產生器 90 中之偵測電路 114 控制電壓開關 112 將第一輸出端 118 改連接於第一保護電壓 V_{p1} ，及將第二輸出端 120 改連接於第二保護電壓 V_{p2} ，以保護位準平移電路 88 中之複數個 PMOS 電晶體免於接面崩壞。當負充電電路 82 之輸出端 110 上之電壓持續被降低至一可使位準平移電路中之第一 PMOS 電晶體 92 之第一汲極 98 上之電壓低



五、發明說明 (10)

於第二參考電壓 V_{ref2} 時，差動放大器 86 之正輸入端 100 上之電壓就會低於負輸入端 102 上之第二參考電壓 V_{ref2} ，所以差動放大器 86 就會於此時停止輸出該比較訊號、振盪電路 84 相應地停止輸出該振盪訊號、而充電電路 82 也停止降低輸出端 110 上之電壓。

圖三中所示之穩壓式充電電路 80 係用來產生一負電壓。請參閱圖五，圖五為本發明一穩壓式充電電路 130 之電路圖，穩壓式充電電路 130 係用來產生一正電壓。穩壓式充電電路 130 包含一充電電路 132、連接於充電電路 132 之振盪電路 84、連接於振盪電路 84 之差動放大器 86、一連接於充電電路 132 與差動放大器 86 間之位準平移電路 138、及一保護電壓產生器 140。位準平移電路 138 包含複數個串接之 N 型金屬氧化半導體 (NMOS) 電晶體。保護電壓產生器 140 之輸入端 166 係連接於充電電路 132 之輸出端 160。保護電壓產生器 140 之第一輸出端 168 及第二輸出端 170 係分別連接於位準平移電路 138 中第一 NMOS 電晶體 142 之第一井極 172 及其餘 NMOS 電晶體之井極。

位準平移電路 138 中之複數個 NMOS 中之第一 NMOS 電晶體 142 之第一源極 144 係連接於一第三參考電壓 V_{ref3} ，第一 NMOS 電晶體 142 之第一閘極 146 及第一汲極 148 皆係連接於差動放大器 86 之負輸入端 102，該複數個 NMOS 電晶體中之第二 NMOS 電晶體 154 之第二閘極 156 及第二汲極 158 皆係連



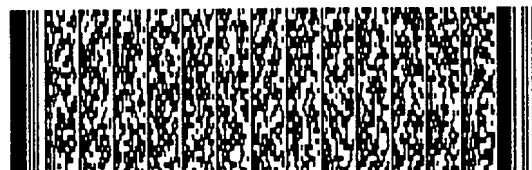
五、發明說明 (11)

接於充電電路 132 之輸出端 160。差動放大器 86 之正輸入端 100 係連接於第四參考電壓 V_{ref4} 。

保護電壓產生器 140 包含一電壓開關 162 及一偵測電路 164。偵測電路 164 係依據充電電路 132 之輸出端 160 上之電壓是否高於一第二臨界電壓 V_{th2} ，而控制電壓開關 162 分別將第一輸出端 168 連接於非一第三保護電壓 V_{p3} 即一第二正常電壓 V_{r2} ，以及將第二輸出端 170 連接於非一第四保護電壓 V_{p4} 即第二正常電壓 V_{r2} 。亦即當充電電路 132 之輸出端 160 上之電壓仍低於第二臨界電壓 V_{th2} 時，偵測電路 164 控制電壓開關 162 將第一輸出端 168 及第二輸出端 170 皆連接於第二正常電壓 V_{r2} ；反之，當充電電路 132 之輸出端 160 上之電壓係高於第二臨界電壓 V_{th2} 時，偵測電路 164 控制電壓開關 162 將第一輸出端 168 及第二輸出端 170 分別連接於第三保護電壓 V_{p3} 及第四保護電壓 V_{p4} 。在本實施例中，第二正常電壓 V_{r2} 係低於第三保護電壓 V_{p3} ，而第三保護電壓 V_{p3} 係低於第四保護電壓 V_{p4} ，其理由同上。

由於穩壓式充電電路 130 之運作過程係相似於穩壓式充電電路 80 之運作過程，所以於此不再贅述。

相較於習知穩壓式充電電路，本發明之穩壓式充電電路係包含一位準平移電路，而該位準平移電路係包含複數個佔據較少該穩壓式充電電路所在之積體電路的面



五、發明說明 (12)

積之 MOS電晶體。此外，本發明之穩壓式充電電路另包含一保護電壓產生器，其可於穩壓式充電電路中之充電電路之輸出端上之電壓達到一臨界電壓時，改變位準平移電路中每一 MOS電晶體之汲極與井極間之反相偏壓，以保護 MOS電晶體免於接面崩壞。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



圖式簡單說明

圖式之簡單說明

圖一為習知一充電電路之電路圖。

圖二為習知一穩壓式充電電路之電路圖。

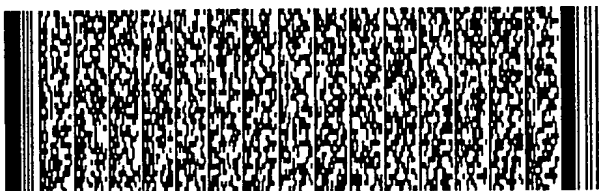
圖三為本發明一穩壓式充電電路之電路圖。

圖四為圖三所顯示之穩壓式充電電路中一位準平移電路之第一 PMOS電晶體的剖面圖。

圖五為本發明另一穩壓式充電電路之電路圖。

圖式之符號說明

10、52、132	充電電路
12、14、16、18	充電單元
20	隔離二極體
22、24、26、28	二極體
30、32、34、36	電容
50、80、130	穩壓式充電電路
54、84 振盪電路	56、86 差動放大器
58、88、138	位準平移電路
60 第一電阻	62 第二電阻
82 負充電電路	
90、140 保護電壓產生器	
92 第一 PMOS電晶體	94 第二 PMOS電晶體
112、162電壓開關	114、164偵測電路



圖式簡單說明

142 第一 NMOS電晶體



六、申請專利範圍

1. 一種穩壓式充電電路 (regulated charge pump), 其包含:

一負充電電路 (charge pump), 用來依據一振盪訊號產生一第一輸出電壓; 以及

一穩壓電路 (regulator), 用來使該負充電電路所產生之第一輸出電壓維持在一預定範圍內, 該穩壓電路包含:

一位準平移電路 (level shift circuit), 連接於該負充電電路, 用來依據該負充電電路所產生之第一輸出電壓於該位準平移電路之輸出端產生一第二輸出電壓,

位準平移電路包含:

複數個串接之 P 型金屬氧化半導體 (PMOS) 電晶體, 該複數個 PMOS 電晶體中之第一 PMOS 電晶體之第一源極係連接於一第一參考電壓源, 該第一 PMOS 電晶體之閘極及汲極皆係連接於該位準平移電路之輸出端, 該複數個 PMOS 電晶體中之第二 PMOS 電晶體之閘極及汲極係連接於該負充電電路之輸出端;

一差動放大器, 其第一輸入端係連接於一第二參考電壓源, 第二輸入端係連接於該位準平移電路之輸出端, 用來依據該第二參考電壓源所產生之電壓與該位準平移電路之輸出端所輸出之第二輸出電壓間之電位差產生一比較訊號; 以及

一壓控振盪器, 連接於該差動放大器之輸出端與該負充電電路之輸入端間, 用來依據該比較訊號產生該振



六、申請專利範圍

盪訊號。

2. 如申請專利範圍第1項所述之穩壓式充電電路，其中該第二參考電壓源係一接地電壓源。

3. 如申請專利範圍第1項所述之穩壓式充電電路，其另包含：

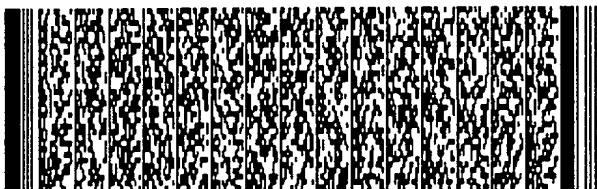
一保護電壓產生器，其輸入端係連接於該負充電電路之輸出端，輸出端係連接於該位準平移電路中每一PMOS電晶體之井極，用來依據該第一輸出電壓於該保護電壓產生器之輸出端輸出一第一保護電壓。

4. 如申請專利範圍第3項所述之穩壓式充電電路，其中該保護電壓產生器包含：

一電壓開關，其第一端係連接該保護電壓產生器之輸出端、第二端係連接於該第一保護電壓；以及

一偵測電路，連接於該負充電電路之輸出端與該電壓開關之間，用來依據該第一輸出電壓控制該電壓開關之運作。

5. 如申請專利範圍第4項所述之穩壓式充電電路，其中該保護電壓產生器中之偵測電路係於偵測出該第一輸出電壓係小於一預定電壓時，導通(close)該電壓開關，以使該第一保護電壓得以傳輸至該位準平移電路中每一



六、申請專利範圍

PMOS電晶體之井極。

6. 如申請專利範圍第1項所述之穩壓式充電電路，其另包含：

一保護電壓產生器，其輸入端係連接於該負充電電路之輸出端，第一輸出端係連接於該位準平移電路中第一PMOS電晶體之第一井極，第二輸出端係連接於該位準平移電路中其餘PMOS電晶體之井極，用來依據該第一輸出電壓分別於該保護電壓產生器之第一輸出端及第二輸出端輸出一第一保護電壓及一第二保護電壓；

7. 如申請專利範圍第6項所述之穩壓式充電電路，其中該第一保護電壓係高於該第二保護電壓。

8. 如申請專利範圍第6項所述之穩壓式充電電路，其中該保護電壓產生器包含：

一電壓開關，其第一端係連接該保護電壓產生器之第一輸出端、第二端係連接於該第一保護電壓、第三端係連接該保護電壓產生器之第二輸出端、第四端係連接於該第二保護電壓；以及

一偵測電路，連接於該負充電電路之輸出端與該電壓開關之間，用來依據該第一輸出電壓控制該電壓開關之運作。



六、申請專利範圍

9. 如申請專利範圍第8項所述之穩壓式充電電路，其中該保護電壓產生器之偵測電路係於偵測出該第一輸出電壓係小於一預定電壓時，導通(close)該電壓開關，以使該第一保護電壓得以傳輸至該位準平移電路之第一PMOS電晶體之第一井極、及使該第二保護電壓得以傳輸至該位準平移電路之其餘PMOS電晶體之井極。

10. 一種穩壓式充電電路，其包含：

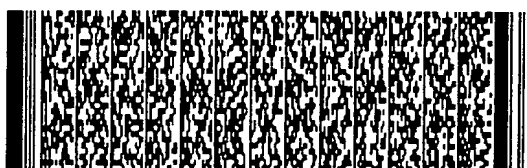
一充電電路，用來依據一振盪訊號產生一第一輸出電壓；以及

一穩壓電路，用來使該充電電路所產生之第一輸出電壓維持在一預定範圍內，該穩壓電路包含：

一位準平移電路，連接於該充電電路，用來依據該充電電路所產生之第一輸出電壓於該位準平移電路之輸出端產生一第二輸出電壓，該位準平移電路包含：

複數個串接之N型金屬氧化半導體(NMOS)電晶體，該複數個NMOS電晶體中之第一NMOS電晶體之第一源極係連接於一第一參考電壓源，該第一NMOS電晶體之閘極及汲極皆係連接於該位準平移電路之輸出端，該複數個NMOS電晶體中之第二NMOS電晶體之閘極及汲極係連接於該充電電路之輸出端；

一差動放大器，其第一輸入端係連接於一第二參考電壓源，第二輸入端係連接於該位準平移電路之輸出端，用來依據該第二參考電壓源所產生之電壓與該位準



六、申請專利範圍

平移電路之輸出端所輸出之第二輸出電壓間之電位差產生一比較訊號；以及

一壓控振盪器，連接於該差動放大器之輸出端與該充電電路之輸入端間，用來依據該比較訊號產生該振盪訊號。

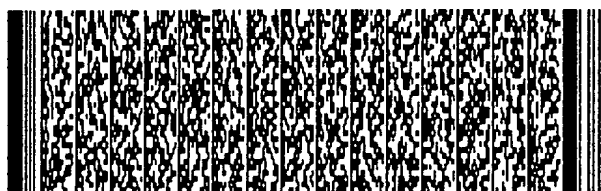
11. 如申請專利範圍第10項所述之穩壓式充電電路，其中該第二參考電壓源係一接地電壓源。

12. 如申請專利範圍第11項所述之穩壓式充電電路，其包含：

一保護電壓產生器，其輸入端係連接於該充電電路之輸出端，輸出端係連接於該位準平移電路中每一NMOS電晶體之井極，用來依據該第一輸出電壓於該保護電壓產生器之輸出端輸出一第一保護電壓。

13. 如申請專利範圍第12項所述之穩壓式充電電路，其中該保護電壓產生器包含：

一電壓開關，其第一端係連接該保護電壓產生器之輸出端、第二端係連接於該第一保護電壓；以及
一偵測電路，連接於該充電電路之輸出端與該電壓開關之間，用來依據該第一輸出電壓控制該電壓開關之運作。



六、申請專利範圍

14. 如申請專利範圍第13項所述之穩壓式充電電路，其中該保護電壓產生器中之偵測電路係於偵測出該第一輸出電壓係大於一預定電壓時，導通該電壓開關，以使該第一保護電壓得以傳輸至該位準平移電路中每一NMOS電晶體之井極。

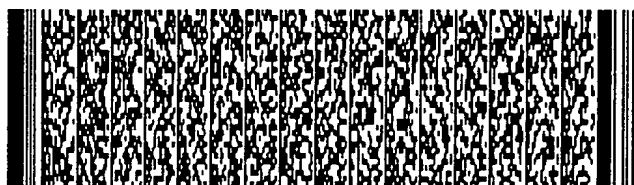
15. 如申請專利範圍第10項所述之穩壓式充電電路，其另包含：

一保護電壓產生器，其輸入端係連接於該充電電路之輸出端，第一輸出端係連接於該位準平移電路中第一NMOS電晶體之第一井極，第二輸出端係連接於該位準平移電路中其餘NMOS電晶體之井極，用來依據該第一輸出電壓分別於該保護電壓產生器之第一輸出端及第二輸出端輸出一第一保護電壓及一第二保護電壓；

16. 如申請專利範圍第15項所述之穩壓式充電電路，其中該第一保護電壓係低於該第二保護電壓。

17. 如申請專利範圍第16項所述之穩壓式充電電路，其中該保護電壓產生器包含：

一電壓開關，其第一端係連接該保護電壓產生器之第一輸出端、第二端係連接於該第一保護電壓、第三端係連接該保護電壓產生器之第二輸出端、第四端係連接於該第二保護電壓；以及

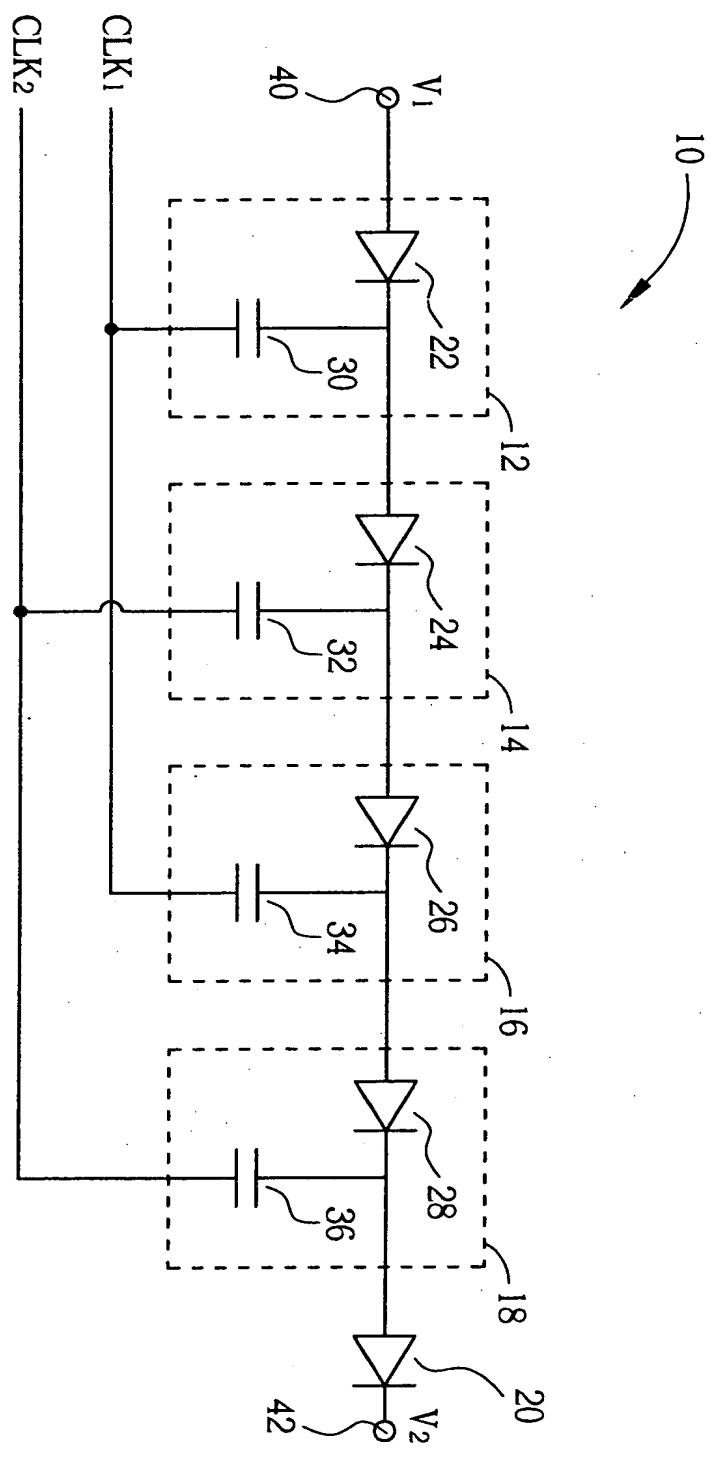


六、申請專利範圍

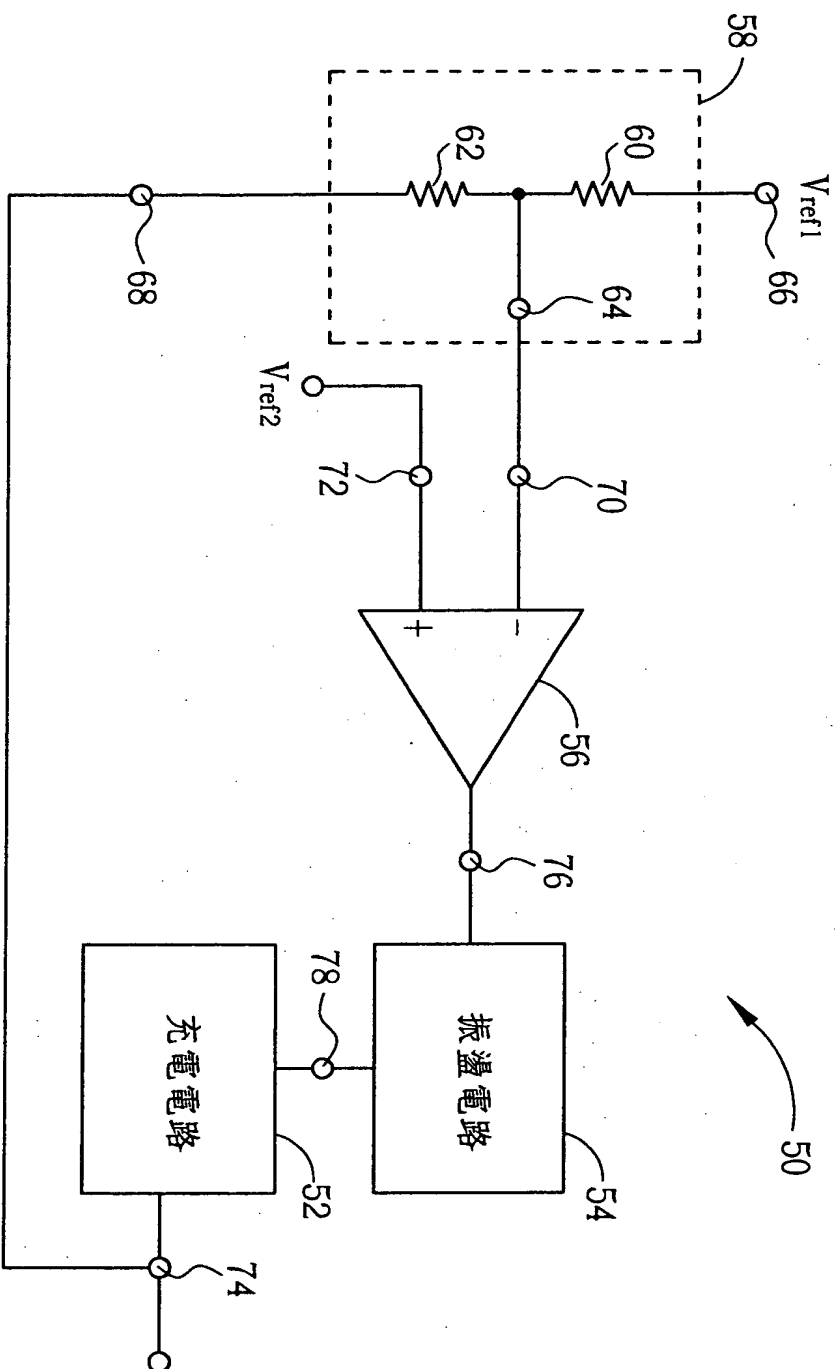
一偵測電路，連接於該充電電路之輸出端與該電壓開關之間，用來依據該第一輸出電壓控制該電壓開關之運作。

18. 如申請專利範圍第17項所述之穩壓式充電電路，其中該保護電壓產生器之偵測電路係於偵測出該第一輸出電壓係大於一預定電壓時，導通該電壓開關，以使該第一保護電壓得以傳輸至該位準平移電路之第一NMOS電晶體之第一井極、及使該第二保護電壓得以傳輸至該位準平移電路之其餘NMOS電晶體之井極。

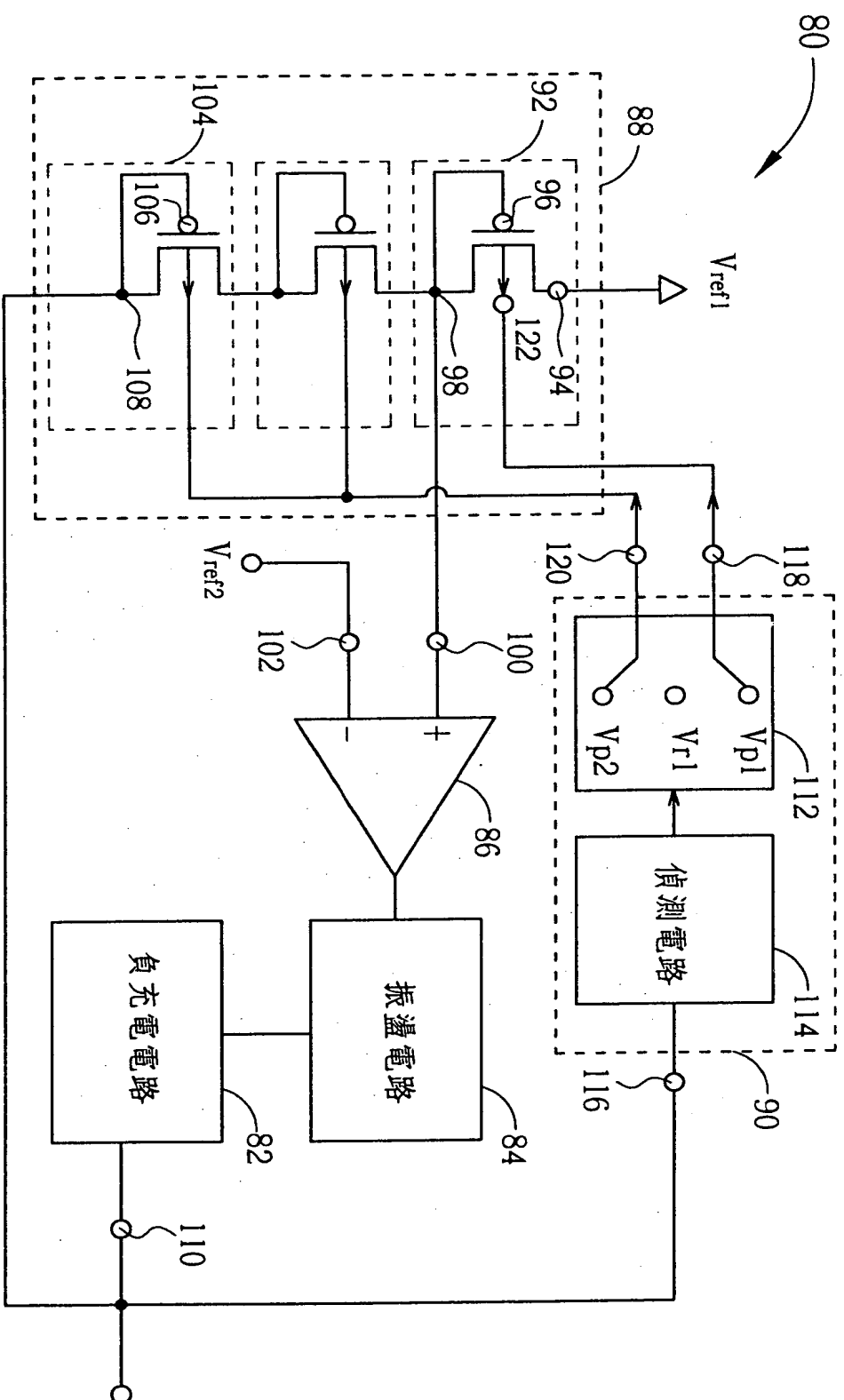




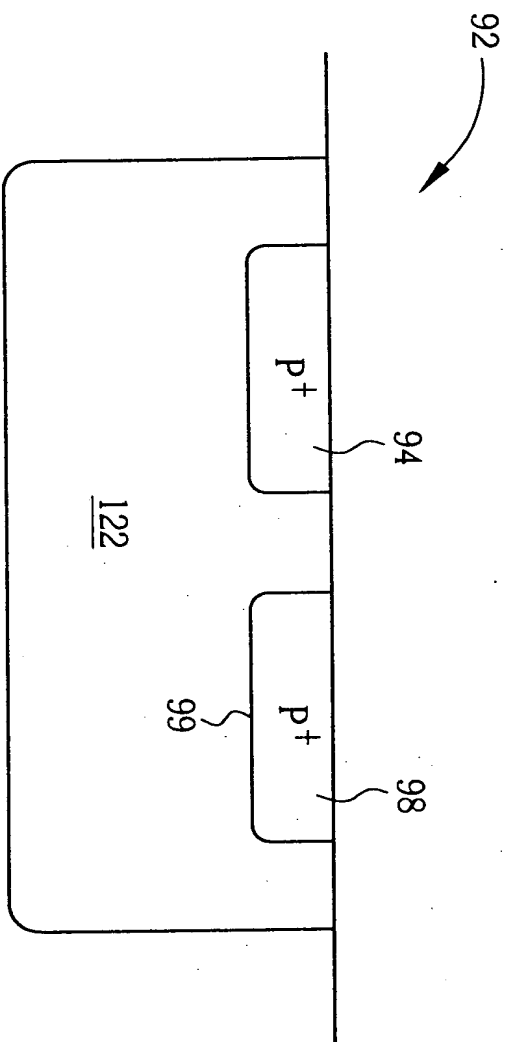
圖一



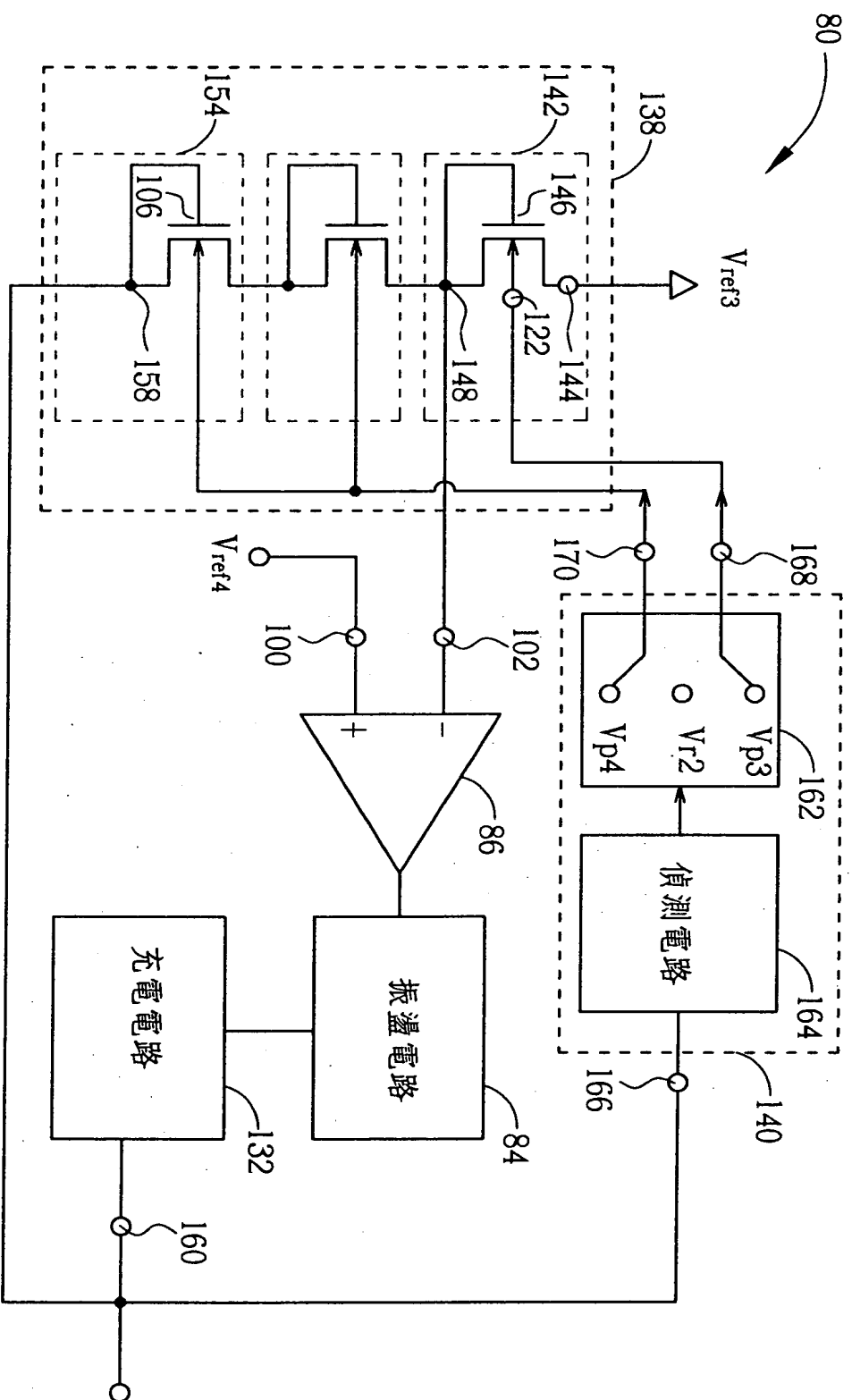
圖二



四
三



圖四



圖五

第 1/26 頁



第 2/26 頁



第 3/26 頁



第 3/26 頁



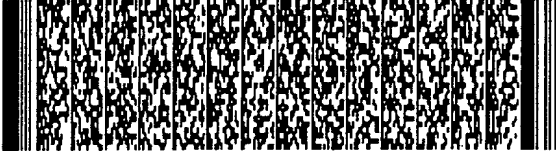
第 4/26 頁



第 5/26 頁



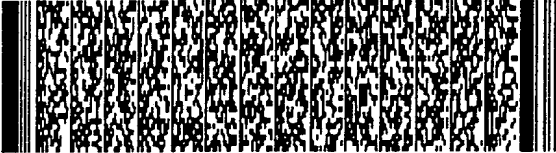
第 6/26 頁



第 6/26 頁



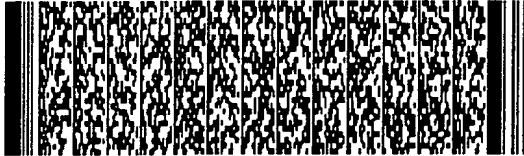
第 7/26 頁



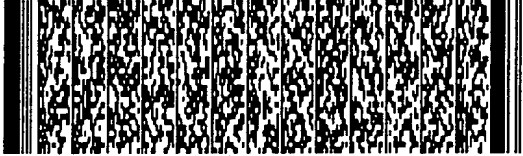
第 7/26 頁



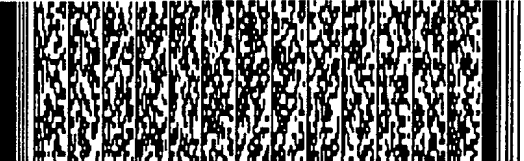
第 8/26 頁



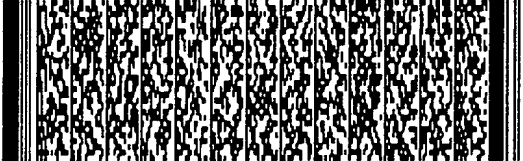
第 8/26 頁



第 9/26 頁



第 9/26 頁



第 10/26 頁



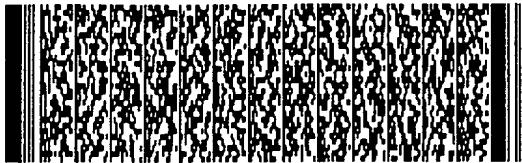
第 10/26 頁



第 11/26 頁



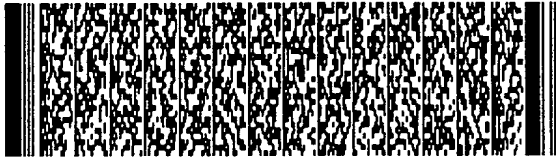
第 11/26 頁



第 12/26 頁



第 12/26 頁



第 13/26 頁



第 13/26 頁



第 14/26 頁



第 14/26 頁



第 15/26 頁



第 15/26 頁



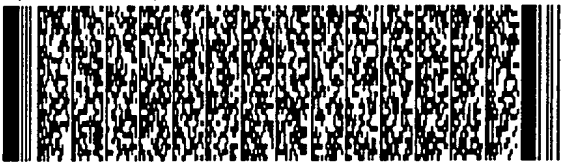
第 16/26 頁



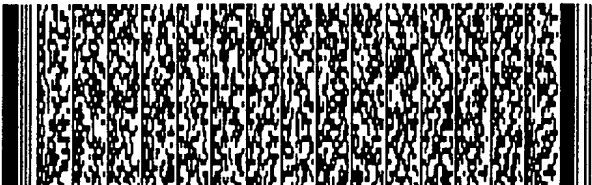
第 16/26 頁



第 17/26 頁



第 18/26 頁



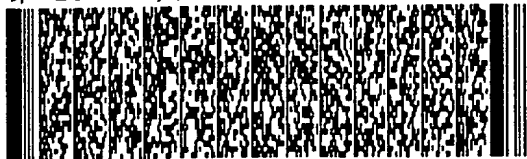
第 19/26 頁



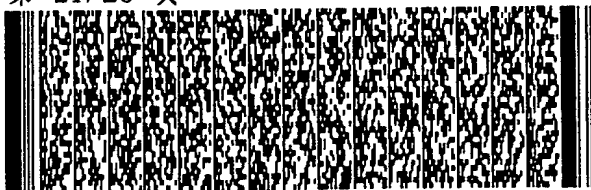
第 20/26 頁



第 20/26 頁



第 21/26 頁



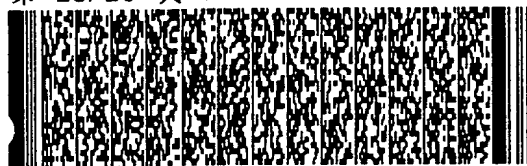
第 22/26 頁



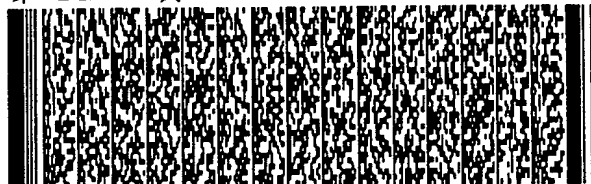
第 23/26 頁



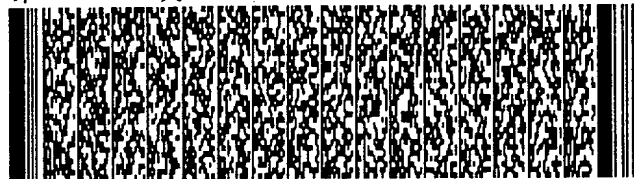
第 23/26 頁



第 24/26 頁



第 25/26 頁



第 26/26 頁

